

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-024946

(43)Date of publication of application : 26.01.2001

(51)Int.Cl.

H04N 5/335

(21)Application number : 11-195270

(71)Applicant : SONY CORP

(22)Date of filing : 09.07.1999

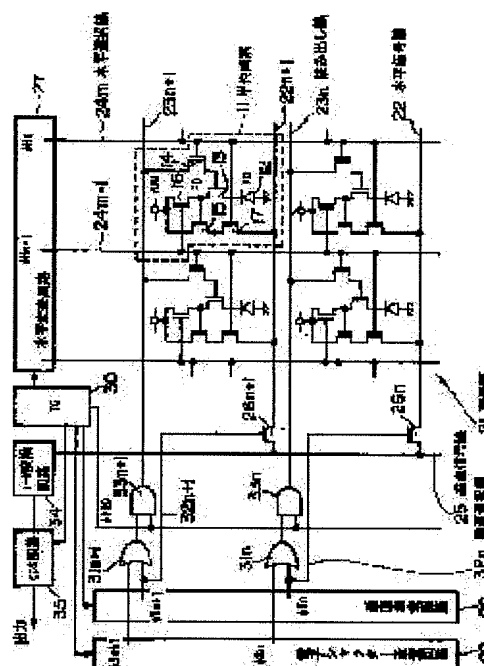
(72)Inventor : SUZUKI RYOJI  
UENO TAKAHISA  
SHIONO KOICHI  
YONEMOTO KAZUYA

## (54) SOLID-STATE IMAGING DEVICE AND DRIVING METHOD THEREFOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a solid-state imaging device capable of suppressing a fixed pattern noise inside a device and a driving method for removing a noise thereof.

**SOLUTION:** Concerning the solid-state imaging device laying horizontal signal lines  $22n$  and  $22n+1$  for the unit of a row concerning a unit pixel  $11$  composed of five transistors  $13$  to  $17$  and commonly laying a vertical signal line  $25$  corresponding to these horizontal signal lines  $22n$  and  $22n+1$ , first of all, a float diffusion area  $FD$  is reset by the reset transistor  $16$ , and a reset level thereof is outputted through the amplify transistor  $15$  to the horizontal signal lines  $22n$  and  $22n+1$ . Continuously, the signal charge of a photodiode  $12$  is read out through the read transistor  $13$  to the float diffusion area  $FD$  and a signal level based on that signal charge is outputted through the amplify transistor  $15$  to the horizontal signal lines  $22n$  and  $22n+1$ .



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-24946

(P2001-24946A)

(43)公開日 平成13年1月26日 (2001.1.26)

(51)Int.Cl.<sup>7</sup>

H 0 4 N 5/335

識別記号

F I

H 0 4 N 5/335

テーマコード\* (参考)

E 5 C 0 2 4

審査請求 未請求 請求項の数7 O L (全 13 頁)

(21)出願番号

特願平11-195270

(22)出願日

平成11年7月9日 (1999.7.9)

(71)出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者

鈴木 亮司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者

上野 貴久

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人

100086298

弁理士 船橋 國則

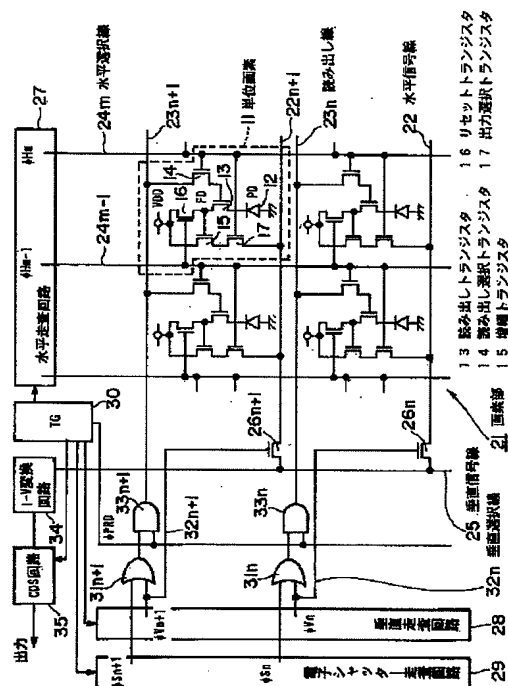
最終頁に続く

(54)【発明の名称】 固体撮像素子およびその駆動方法

(57)【要約】

【課題】 デバイス外部にフレームメモリを用いたノイズ除去回路を設け、このノイズ除去回路でノイズ除去を行ったのでは、カメラシステムの規模が大きくなるものとなる。

【解決手段】 5トランジスタ (13~17) 構成の単位画素11に対して行単位で水平信号線22n, 22n+1が配線されるとともに、これら水平信号線22n, 22n+1に対して垂直信号線25が共通に配線される固体撮像素子において、先ずリセットトランジスタ16によって浮遊拡散領域FDをリセットし、そのリセットレベルを増幅トランジスタ15を通して水平信号線22n, 22n+1に出力し、続いてフォトダイオード12の信号電荷を読み出しトランジスタ13を通して浮遊拡散領域FDに読み出し、その信号電荷に基づく信号レベルを増幅トランジスタ15を通して水平信号線22n, 22n+1に出力する。



## 【特許請求の範囲】

【請求項 1】 光電変換素子、この光電変換素子で得られた信号電荷を蓄積部に読み出す読み出しトランジスタ、この読み出しトランジスタによる信号電荷の読み出しを選択する読み出し選択トランジスタ、前記蓄積部の信号電荷を電気信号に変換して画素信号として出力する増幅トランジスタ、前記蓄積部をリセットするリセットトランジスタおよび前記増幅トランジスタによる画素信号の出力を選択する出力選択トランジスタを有する単位画素が行列状に配置されてなる画素部と、前記画素部に行単位で配線された複数行分の水平信号線と、前記複数行分の水平信号線に対して共通に配線された単一の垂直信号線と、前記画素部の各画素を行単位で選択するとともに、前記複数行分の水平信号線に前記画素部の各画素から出力された画素信号を順次前記垂直信号線に出力する垂直駆動手段と、前記読み出し選択トランジスタおよび前記出力選択トランジスタに対して水平選択パルスを与えるとともに、前記リセットトランジスタに対してリセットパルスを与える水平駆動手段とを備えたことを特徴とする固体撮像素子。

【請求項 2】 前記水平選択パルスが列方向において隣接する画素のリセットパルスを兼ねることを特徴とする請求項 1 記載の固体撮像素子。

【請求項 3】 前記単位画素は、前記リセットトランジスタによるリセット時のリセットレベルと前記光電変換素子で光電変換された信号電荷に基づく信号レベルとを順次前記水平信号線に出力することを特徴とする請求項 1 記載の固体撮像素子。

【請求項 4】 前記リセットレベルと前記信号レベルとの差分をとる差分回路を有することを特徴とする請求項 1 記載の固体撮像素子。

【請求項 5】 前記差分回路は関連二重サンプリング回路であることを特徴とする請求項 4 記載の固体撮像素子。

【請求項 6】 前記垂直駆動手段による行単位での選択に先立って行単位でシャッター動作を行う電子シャッター走査回路を有することを特徴とする請求項 1 記載の固体撮像素子。

【請求項 7】 光電変換素子、この光電変換素子で得られた信号電荷を蓄積部に読み出す読み出しトランジスタ、この読み出しトランジスタによる信号電荷の読み出しを選択する読み出し選択トランジスタ、前記蓄積部の信号電荷を電気信号に変換して画素信号として出力する増幅トランジスタ、前記蓄積部をリセットするリセットトランジスタおよび前記増幅トランジスタによる画素信号の出力を選択する出力選択トランジスタを有する単位画素が行列状に配置されてなる画素部と、前記画素部に

行単位で配線された複数行分の水平信号線と、前記複数行分の水平信号線に対して共通に配線された単一の垂直信号線とを具備する固体撮像素子の駆動方法であって、先ず前記リセットトランジスタによって前記蓄積部をリセットし、そのリセットレベルを前記増幅トランジスタを通して前記水平信号線に出力し、続いて前記光電変換素子の信号電荷を前記蓄積部に読み出し、その信号電荷に基づく信号レベルを前記増幅トランジスタを通して前記水平信号線に出力し、前記リセットレベルと前記信号レベルとを前記水平信号線を通して前記垂直信号線に点順次に出力することを特徴とする固体撮像素子の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、固体撮像素子およびその駆動方法に関し、特に単位画素ごとに増幅機能を持つ X-Y アドレス型の固体撮像素子およびその駆動方法に関する。

## 【0002】

【従来の技術】 従来、この種の固体撮像素子として、図 11 に示すように、単位画素 101 が行列状に 2 次元配置され、垂直走査回路 102 によって垂直選択線 103 を介して行選択がなされる構成のものにおいて、垂直信号線 104 の各々にカラムアンプ 105 が接続され、単位画素 101 の各々の画素信号がカラムアンプ 105 に行単位で蓄えられるとともに、水平走査回路 106 によって列選択がなされ、水平信号線 107 およびセンスアンプ 108 を介して出力される構成のものが知られている（例えば、米国特許第 5,345,266 号参照）。

## 【0003】

【発明が解決しようとする課題】 上記構成の従来の固体撮像素子では、1H（1 水平走査期間）分の信号電荷をカラムアンプ 105 に一度に送り、このカラムアンプ 105 内のキャパシタに一度蓄えた後に読み出す構成となっているため、カラムアンプ 105 のリセットレベルのバラツキを含んだ信号量がキャパシタ部に取り込まれる。その結果、各カラムアンプ 105 に使われているトランジスタの特性のバラツキが信号に重畳され、画面上に縦筋状の固定パターンノイズ（FPN: Fixed Pattern Noise）として現れることになる。

【0004】 この縦筋状の固定パターンノイズを抑圧するためには、デバイスの外部にフレームメモリを用いたノイズ除去回路を設け、暗時の出力信号（ノイズ成分）および明時の出力信号（映像成分）の一方を各画素ごとにフレームメモリにあらかじめ記憶しておき、もう一方の画素の信号との間で引き算を行うことにより、トランジスタの特性のバラツキに起因するノイズ成分を除去する必要があった。したがって、固体撮像素子を撮像デバイスとして用いるカメラシステムにあっては、フレームメモリを用いたノイズ除去回路を外付けにする必要があ

り、その分だけ規模の大きなものになってしまう。

【0005】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、固定パターンノイズをデバイス内部で抑圧可能な固体撮像素子およびそのノイズを除去するための駆動方法を提供することにある。

#### 【0006】

【課題を解決するための手段】本発明では、単位画素が、光電変換素子に対して読み出しトランジスタ、読み出し選択トランジスタ、増幅トランジスタ、リセットトランジスタおよび出力選択トランジスタの5つのトランジスタを有する画素構成となっている。この単位画素が行列状に配置されており、これら単位画素に対して行単位で複数行分の水平信号線が配線され、またこれら水平信号線に対して単一の垂直信号線が共通に配線されている。そして、画素部の各画素を行単位で選択するとともに、複数行分の水平信号線に各画素から出力された画素信号を順次垂直信号線に出力する垂直駆動手段と、単位画素の読み出し選択トランジスタおよび出力選択トランジスタに対して水平選択パルスを与えるとともに、リセットトランジスタに対してリセットパルスを与える水平駆動手段とが設けられている。

【0007】上記の構成において、垂直駆動手段によってある行が選択されたら、先ず、水平駆動手段からリセットトランジスタに対してリセットパルスを与えることによって蓄積部をリセットし、そのリセットレベルを増幅トランジスタを通して水平信号線に出力する。続いて、読み出し選択トランジスタに水平走査パルスを与えることで、光電変換素子で光電変換されかつ蓄積された信号電荷を読み出しトランジスタを通して蓄積部に読み出し、この信号電荷を増幅トランジスタを通して信号レベルとして水平信号線に出力する。これにより、リセットレベルと信号レベルが水平信号線を通して垂直信号線へ点順次で出力される。

#### 【0008】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明の第1実施形態に係る固体撮像素子を示す概略構成図である。本実施形態に係る固体撮像素子は、電子シャッター機能を備えたX-Yアドレス型撮像素子であり、このX-Yアドレス型撮像素子の場合の電子シャッターは、CCD (Charge Coupled Device) 型撮像素子の場合と違い、1行 (1ライン) ごとにシャッターを切る動作となる。

【0009】図1において、破線で囲まれた領域が単位画素11を表している。この単位画素11は、光電変換素子であるフォトダイオード (PD) 12に対して、読み出しトランジスタ13、読み出し選択トランジスタ14、増幅トランジスタ15、リセットトランジスタ16および出力選択トランジスタ17の5つのNchMOSトランジスタを有する構成となっている。そして、この

単位画素11が行列状に配置されて画素部21を構成している。

【0010】なお、ここでは、図面の簡略化のために、画素部21が2列 (m-1列目, m列目) 2行 (n行目, n+1行目) の画素構成の場合を例にとって示している。この画素部21には、水平信号線22n+1, 22nおよび読み出し線23n+1, 23nが行単位で配線されている。さらに、水平選択線24m-1, 24mが列単位で配線されている。

【0011】m列n+1行目の単位画素11において、フォトダイオード12は、光電変換と電荷蓄積の各機能を兼ね備えている。すなわち、入射光をその光量に応じた電荷量の信号電荷に光電変換し、かつその信号電荷を蓄積する機能を持っている。このフォトダイオード12は、埋め込みダイオードのセンサ構造、例えばnpダイオードの基板表面側p<sup>+</sup>層からなる正孔蓄積層を付加したHAD (Hole Accumulated Diode) センサ構造となっている。

【0012】フォトダイオード12のカソードには、読み出しトランジスタ13のソースが接続されている。読み出しトランジスタ13は、ドレインが蓄積部である浮遊拡散領域FDに接続され、ゲートが読み出し選択トランジスタ14のソース/ドレインに接続されている。読み出し選択トランジスタ14は、ドレイン/ソースが読み出し線23n+1に接続され、ゲートが水平選択線24mに接続されている。増幅トランジスタ15は、ゲートが浮遊拡散領域FDに接続され、ドレインが電源VDDに接続されている。

【0013】リセットトランジスタ16は、ソースが浮遊拡散領域FDに、ドレインが電源VDDにそれぞれ接続され、ゲートが隣接するm-1列目の水平信号線24m-1に接続されている。このリセットトランジスタ16は、浮遊拡散領域FDを電源VDDにリセットするためにデプレッション型である。出力選択トランジスタ17は、ドレインが増幅トランジスタ15のソースに、ソースが水平信号線22n+1にそれぞれ接続され、ゲートが水平選択線24mに接続されている。

【0014】また、複数行分、本例では2行分の水平信号線22n, 22n+1に対して、これらと直交する方向に単一の垂直信号線25が配線されている。そして、水平信号線22n, 22n+1の各々と垂直信号線25との間には、垂直選択トランジスタ26n, 26n+1がそれぞれ接続されている。これら垂直選択トランジスタ26n, 26n+1も、NchMOSトランジスタからなっている。

【0015】画素部21の周辺部には、列選択のための水平走査回路27が水平駆動系として、行選択のための垂直走査回路28および1H (Hは水平走査期間) の整数倍の蓄積時間 (露光時間) を制御するための電子シャッター走査回路29が垂直駆動系としてそれぞれ設けら

10

20

30

40

50

れている。これらの走査回路 27, 28, 29 は、例えばシフトレジスタによって構成され、タイミングジェネレータ (TG) 30 から与えられる駆動パルスにตอบสนองしてシフト動作 (走査) を開始するようになっている。

【0016】水平走査回路 27 からは、水平走査 (選択) パルス  $\phi H_{m-1}$ ,  $\phi H_m$  が順次出力される。これら水平走査パルス  $\phi H_{m-1}$ ,  $\phi H_m$  は、水平選択線 24m-1, 24m を通して列単位で単位画素 11 の読み出し選択トランジスタ 14、リセットトランジスタ 16 および出力選択トランジスタ 17 の各ゲートに与えられる。

【0017】垂直走査回路 28 からは垂直走査パルス  $\phi V_n$ ,  $\phi V_{n+1}$  が、電子シャッター走査回路 29 からはシャッターパルス  $\phi S_n$ ,  $\phi S_{n+1}$  がそれぞれ順次出力される。垂直走査パルス  $\phi V_n$ ,  $\phi V_{n+1}$  は、行ごとに OR ゲート 31n, 31n+1 の一方の入力になるとともに、垂直選択線 32n, 32n+1 を通して垂直選択トランジスタ 26n, 26n+1 のゲートに与えられる。

【0018】シャッターパルス  $\phi S_n$ ,  $\phi S_{n+1}$  は、行ごとに OR ゲート 31n, 31n+1 の他方の入力となる。OR ゲート 31n, 31n+1 の各出力は、AND ゲート 33n, 33n+1 の各一方の入力となる。AND ゲート 33n, 33n+1 の各他方の入力としては、タイミングジェネレータ 30 で発生される読み出しパルス  $\phi PRD$  が与えられる。AND ゲート 33n, 33n+1 の各出力は、読み出し線 23n, 23n+1 を通して各画素における読み出し選択トランジスタ 14 のドレインに与えられる。

【0019】垂直信号線 25 の出力端側には、I (電流) - V (電圧) 変換回路 34 と差分回路としての例えば相関二重サンプリング回路 (以下、CDS (Correlated Double Sampling) 回路と称す) 35 とが設けられている。I - V 変換回路 34 は、垂直信号線 25 を通して信号電流として供給される画素信号を信号電圧に変換して CDS 回路 35 に供給する。

【0020】CDS 回路 35 は、タイミングジェネレータ 30 から与えられるサンプリングパルスに基づいて、画素リセット直後のノイズレベルと信号レベルとの差分をとる処理を行う。また、CDS 回路 35 の後段には、必要に応じて AGC (Auto Gain Control) 回路や ADC (Analog Digital Converter) 回路等を設けることも可能である。

【0021】次に、上記構成の第 1 実施形態に係る固体撮像素子の動作について、図 2 および図 3 のタイミングチャートを用いて説明する。なお、図 2 は電子シャッター非動作時のタイミングチャート、図 3 は電子シャッター動作時のタイミングチャートである。

【0022】まず、電子シャッター非動作時の m 列 n 行目の画素に着目すると、垂直走査回路 28 の垂直走査

により、当該走査回路 28 から垂直走査パルス  $\phi V_n$  が出力され、n 行目の垂直選択トランジスタ 26n のゲートに印加され、n 行目が読み出し行として選択される。

【0023】この状態において、水平走査回路 27 の水平走査により、当該走査回路 27 から水平走査パルス  $\phi H_{m-1}$  が出力され、m-1 列目の水平選択線 24m-1 に印加される。すると、m 列目の画素のリセットトランジスタ 16 がオン状態となる。これにより、浮遊拡散領域 FD がリセットトランジスタ 16 を通して電源 VDD にリセットされる。このとき、m-1 列の水平走査パルス  $\phi H_{m-1}$  は、隣接する m 列のリセットパルスとして機能する。

【0024】続いて、水平走査回路 27 から水平走査パルス  $\phi H_m$  が出力され、m 列目の水平選択線 24m に印加されると、m 列目の画素の出力選択トランジスタ 17 がオン状態となる。これにより、垂直選択された n 行目、水平選択された m 列目のリセットされた画素 (m, n) のリセットレベルに応じた電流が、水平信号線 22n および垂直選択トランジスタ 26n を通して垂直信号線 25 に出力される。

【0025】また、水平走査パルス  $\phi H_m$  の発生期間において、読み出しパルス  $\phi PRD$  が出力されると、この読み出しパルス  $\phi PRD$  は AND ゲート 33n で垂直走査パルス  $\phi V_n$  と論理積がとられ、その結果 n 行目の読み出し線 23n にパルスが立つ。このとき、画素 (m, n) の読み出し選択トランジスタ 14 は、水平走査パルス  $\phi H_m$  がゲートに印加されていることからオン状態にある。

【0026】したがって、読み出し線 23n に印加された読み出しパルス  $\phi PRD$  は、読み出し選択トランジスタ 14 のドレイン - ソースを介して読み出しトランジスタ 13 のゲートに印加される。これにより、読み出しトランジスタ 13 がオン状態となり、フォトダイオード 12 で光電変換によって発生し、蓄積された信号電荷が読み出しトランジスタ 13 を通して浮遊拡散領域 FD に読み出される。

【0027】読み出しパルス  $\phi PRD$  が消滅すると、読み出しトランジスタ 13 がオフ状態となる。そして、浮遊拡散領域 FD に読み出された信号電荷は、その電荷量に応じて増幅トランジスタ 15 で増幅されて信号電流となり、出力選択トランジスタ 17、水平信号線 22n および垂直選択トランジスタ 26n を通して垂直信号線 25 に出力される。

【0028】この画素 (m, n) の選択時には、その水平走査パルス  $\phi H_m$  によって次の列の画素 (m+1, n) のリセットが行われる。そして、水平走査パルス  $\phi H_m$  が消滅し、水平走査パルス  $\phi H_{m+1}$  が水平走査回路 27 から出力されることで、次の列の画素 (m+1, n) が選択状態となる。

【0029】上述した一連の動作の繰り返しにより、n

行目の1ライン分の単位画素11のリセットレベルと信号レベルが同一の経路(水平信号線22nや垂直選択トランジスタ26nなど)を通して点順次に垂直信号線25上に読み出される。これらはさらに、I-V変換回路34で電流から電圧に変換された後CDS回路35に送られ、相関二重サンプリングによるノイズキャンセルが行われる。

【0030】続いて、電子シャッター動作時について、n行目の各画素を電子シャッター画素行とし、n-i行目の各画素を選択画素行(信号読み出し画像行)とした場合を例にとって、図3のタイミングチャートを用いて説明する。このときの蓄積時間は $1H \times i$ となる。

【0031】垂直シャッター走査回路29の走査により、シャッターパルス $\phi S_n$ が出力され、ORゲート31nを通過後タイミングジェネレータ30で発生される読み出しパルス $\phi PRD$ とANDゲート33nで論理積がとられる。これにより、n行目がシャッター行として選択可能な状態となる。そして、読み出しパルス $\phi PRD$ が出力されるごとに、n行目の読み出し線23nにパルスが立つ。

【0032】その際、n行目の垂直選択線32nにはパルスは立たない。このとき、垂直走査回路28からは垂直走査パルス $\phi V_{n-i}$ が出力され、n-i行目の垂直選択トランジスタ26n-iのゲートに印加され、これによりn-i行目が読み出し行として選択状態となる。そして、ORゲート31n-iを通過後タイミングジェネレータ30で発生される読み出しパルス $\phi PRD$ とANDゲート33n-iで論理積がとられる。そして、読み出しパルス $\phi PRD$ が出力されるごとに、n-i行目の読み出し線23n-iにパルスが立つ。

【0033】この状態において、水平走査回路27の水平走査により、当該走査回路27から水平走査パルス $\phi H_{m-1}$ が出力され、m-1列目の水平選択線24m-1に印加されると、m列目の各リセットトランジスタ16がオン状態となる。これにより、これら各画素において、浮遊拡散領域FDがリセットトランジスタ16を通して電源VDDにリセットされる。

【0034】続いて、水平走査回路27から水平走査パルス $\phi H_m$ が出力され、m列目の水平選択線24mに印加されると、m列目の出力選択トランジスタ17がオン状態となる。これにより、垂直選択されたn-i行目、水平選択されたm列目のリセットされた画素(m, n-i)のリセットレベルに応じた電流が、水平信号線22n-iおよび垂直選択トランジスタ26n-iを通して垂直信号線25に出力される。

【0035】その際、画素(m, n)については、n行目の垂直選択トランジスタ26nがオフ状態にあるため、リセットレベルに応じた電流が垂直信号線25に出力されることはない。

【0036】また、水平走査パルス $\phi H_m$ の発生期間に

において、読み出しパルス $\phi PRD$ が出力されると、この読み出しパルス $\phi PRD$ はANDゲート33n-iで垂直走査パルス $\phi V_{n-i}$ と論理積がとられ、その結果n-i行目の読み出し線23n-iにパルスが立つ。このとき、画素(m, n-i)の読み出し選択トランジスタ14は、水平走査パルス $\phi H_m$ がゲートに印加されていることからオン状態にある。

【0037】したがって、画素(m, n-i)において、読み出し線23n-iに印加された読み出しパルス $\phi PRD$ は、読み出し選択トランジスタ14のドレインソースを通して読み出しトランジスタ13のゲートに印加される。これにより、読み出しトランジスタ13がオン状態となり、フォトダイオード12で光電変換によって発生し、蓄積された信号電荷が読み出しトランジスタ13を通して浮遊拡散領域FDに読み出される。

【0038】また、読み出しパルス $\phi PRD$ はANDゲート33nでシャッターパルス $\phi S_n$ とも論理積がとられ、その結果n行目の読み出し線23nにパルスが立つ。このとき、画素(m, n)の読み出し選択トランジスタ14は、水平走査パルス $\phi H_m$ がゲートに印加されていることからオン状態にある。

【0039】したがって、画素(m, n)において、読み出し線23nに印加された読み出しパルス $\phi PRD$ は、読み出し選択トランジスタ14のドレインソースを通して読み出しトランジスタ13のゲートに印加される。これにより、読み出しトランジスタ13がオン状態となり、フォトダイオード12で光電変換によって発生し、蓄積された信号電荷が読み出しトランジスタ13を通して浮遊拡散領域FDに読み出される。

【0040】読み出しパルス $\phi PRD$ が消滅すると、画素(m, n)および画素(m, n-i)の各読み出しトランジスタ13がオフ状態となる。そして、画素(m, n-i)の浮遊拡散領域FDに読み出された信号電荷は、その電荷量に応じて増幅トランジスタ15で増幅されて信号電流となり、出力選択トランジスタ17、水平信号線22n-iおよび垂直選択トランジスタ26n-iを通して垂直信号線25に出力される。

【0041】その際、画素(m, n)については、n行目の垂直選択トランジスタ26nがオフ状態にあるため、信号電荷の電荷量に応じた電流が垂直信号線25に出力されることはない。また、画素(m, n)のフォトダイオード12に蓄積された信号電荷は浮遊拡散領域FDに送られることでフォトダイオード12が空となり、新たに蓄積が開始される。

【0042】この画素(m, n-i)の選択時には、その水平走査パルス $\phi H_m$ によって次の列の画素(m+1, n-i)のリセットが行われる。また、水平走査パルス $\phi H_m$ が消滅し、水平走査パルス $\phi H_{m+1}$ が水平走査回路27から出力されることで、次の列の画素(m+1, n-i)が選択状態となる。

10

20

30

40

50

【0043】そして、画素 ( $m, n-i$ ) の選択後、  
( $1H \times i$ ) の時間が経過した時点で画素 ( $m, n$ ) が  
選択される。これにより、画素 ( $m, n$ ) の蓄積時間  
(露光時間=シャッタースピード) は、図4のタイミン  
グチャートから明らかなように、 $1H \times i$  となる。図5  
は、本例の場合、即ち  $n-i$  行を信号読み出し画素行、  
 $n$  行を電子シャッター画素行とした場合の電子シャッ  
ター走査の模式図である。

【0044】この電子シャッター動作時にも、非動作時  
と同様に、 $n-i$  行目の1ライン分の単位画素11のリ  
セットレベルと信号レベルが同一の経路を通して点順次  
に垂直信号線25上に読み出される。そして、I-V変  
換回路34で電流から電圧に変換された後CDS回路3  
5に送られ、相関二重サンプリングによるノイズキャン  
セルが行われる。

【0045】上述したように、第1実施形態では、5ト  
ランジスタ構成の単位画素11を行列状に配置してなる  
X-Yアドレス型撮像素子において、行単位で各画素1  
1の浮遊拡散領域FDをリセットしてそのリセットレベ  
ルを、次いでフォトダイオード12の信号電荷に基づく  
信号レベルを読み出して同一経路を経由して点順次に出力  
するようにしたことで、後段のCDS回路35でリセ  
ットレベルと信号レベルとの差分をとることができる。  
これにより、単位画素11ごとの特性バラツキに起因する  
固定パターンノイズおよびリセット時に発生するリセ  
ットノイズ ( $kTC$  ノイズ) を抑制することができる。

【0046】また、例えば  $m-1$  列の水平走査 (選択)  
パルス  $\phi_{Hm-1}$  を、 $m$  列目 (隣接画素) のリセットパ  
ルスとして兼用するようにしたことにより、専用のリセ  
ット線を設ける必要がないため、画素部21への配線の  
本数を減らすことができる。しかも、1本の水平選択線  
24mに対してm列の読み出し選択トランジスタ14と  
出力選択トランジスタ17および  $m+1$  列のリセットト  
ランジスタ16の各ゲートを接続する構成を採ったこと  
により、3個のトランジスタの3つのノードに対してコン  
タクトが1個で済むため面積的にも有利である。

【0047】さらに、従来、電子シャッター動作時に発  
生していたクロストークの問題も解決できる。すなわ  
ち、従来は、各画素の信号を列単位で配線された垂直信  
号線に出力する構成を採っていたために、読み出し画素  
行の各画素から信号を読みだしている垂直信号線に、  
シャッター画素行の各画素のフォトダイオード12の電  
荷を捨てることになり、よってクロストークの問題が発  
生していた。

【0048】これに対して、本実施形態に係るX-Yア  
ドレス型撮像素子では、各画素の信号を行単位で配線さ  
れた水平信号線22n, 22n+1に出力する構成を採  
ったことにより、シャッター画素行の各画素のフォトダ  
イオード12の電荷が、読み出し画素行の各画素から信  
号電荷を読み出す水平信号線とは別の水平信号線に捨て

られるため、クロストークの問題は発生しない。

【0049】なお、本実施形態では、単位画素11の構  
成において、増幅トランジスタ15のドレインを電源V  
DDに接続し、ソースを出力選択トランジスタ17を介  
して水平信号線22n+1に接続する構成としたが、図  
6に示すように、増幅トランジスタ15のドレインを水  
平信号線22n+1に接続し、ソースを出力選択トラン  
ジスタ17を介してGNDに接続する構成も、I-V変  
換回路34の構成次第で可能となる。

【0050】図7は、本発明の第2実施形態に係る固体  
撮像素子を示す概略構成図である。本実施形態に係る固  
体撮像素子は、電子シャッター機能を備えたX-Yアド  
レス型撮像素子であり、このX-Yアドレス型撮像素子  
の場合の電子シャッターは、CCD型撮像素子の場合と  
違い、1行 (1ライン) ごとにシャッターを切る動作と  
なる。

【0051】図7において、単位画素51は、第1実施  
形態の場合と同様に、フォトダイオード (PD) 52に  
対して、読み出しトランジスタ53、読み出し選択トラン  
ジスタ54、増幅トランジスタ55、リセットトラン  
ジスタ56および出力選択トランジスタ57の5つのN  
chMOSトランジスタを有する構成となっており、また  
各トランジスタの機能も第1実施形態の各トランジスタ  
と同じである。

【0052】そして、この単位画素51が行列状に配置  
されて画素部61を構成している。なお、ここでは、図  
面の簡略化のために、画素部51が2列 (m列目,  $m+1$   
列目) 2行 (n行目,  $n+1$  行目) の画素構成の場合  
を例にとって示している。この画素部51には、水平信  
号線62n+1, 62nおよび垂直/シャッター選択線  
63n+1, 63nが行単位で配線されている。さら  
に、水平選択/読み出し/リセット線64m-1, 64  
mが列単位で配線されている。

【0053】m列  $n+1$  行目の単位画素51において、  
読み出しトランジスタ53、読み出し選択トランジスタ  
54、増幅トランジスタ55、リセットトランジスタ5  
6および出力選択トランジスタ57の相互の接続関係も  
第1実施形態の場合と同様となっている。そして、読み  
出し選択トランジスタ54については、ドレイン/ソー  
スが隣接する  $m+1$  列目の水平選択/読み出し/リセ  
ット線64m+1に接続され、ゲートが垂直/シャッター  
選択線63n+1に接続されている。また、リセットト  
ランジスタ56については、ゲートが隣接する  $m-1$  列  
目の水平選択/読み出し/リセット線64m-1に接続  
されている。

【0054】また、2行分の水平信号線62n, 62n  
+1に対して、これらと直交する方向に単一の垂直信号  
線65が配線されている。そして、水平信号線62n,  
62n+1の各々と垂直信号線65との間には、垂直選  
択トランジスタ66n, 66n+1がそれぞれ接続され

ている。これら垂直選択トランジスタ66n, 66n+1も、NchMOSトランジスタからなっている。

【0055】画素部61の周辺部には、列選択のための水平走査回路67、行選択のための垂直走査回路68および1Hの整数倍の蓄積時間（露光時間）を制御するための電子シャッター走査回路69が設けられている。これらの走査回路67, 68, 69は、例えばシフトレジスタによって構成され、タイミングジェネレータ（TG）70から与えられる駆動パルスにตอบสนองしてシフト動作（走査）を開始するようになっている。

【0056】水平走査回路67からは、水平走査パルス $\phi H_{m-1}$ ,  $\phi H_m$ ,  $\phi H_{m+1}$ が順次出力される。これら水平走査パルス $\phi H_{m-1}$ ,  $\phi H_m$ ,  $\phi H_{m+1}$ は、ORゲート71m-1, 71m, 71m+1の各一方の入力となるとともに、ANDゲート72m, 72m+1, 72m+2の各一方の入力となる。ANDゲート72m, 72m+1, 72m+2の各他方の入力としては、タイミングジェネレータ70で発生される読み出しパルス $\phi PRD$ が与えられる。

【0057】ANDゲート72m, 72m+1, 72m+2の各出力は、ORゲート71m, 71m+1, 71m+2の各他方の入力となる。そして、ORゲート71m-1, 71m, 71m+1の各出力は、水平選択／読み出し／リセット線64m-1, 64m, 64m+1に印加される。これにより、例えばm列の画素について言えば、読み出し選択トランジスタ54のドレインにはORゲート71m+1の出力が与えられ、リセットトランジスタ56のゲートにはORゲート71m-1の出力が与えられ、出力選択トランジスタ57のゲートにはORゲート71mの出力が与えられることになる。

【0058】垂直走査回路68からは垂直走査パルス $\phi V_n$ ,  $\phi V_{n+1}$ が、電子シャッター走査回路69からはシャッターパルス $\phi S_n$ ,  $\phi S_{n+1}$ がそれぞれ順次出力される。垂直走査パルス $\phi V_n$ ,  $\phi V_{n+1}$ は、行ごとにORゲート73n, 73n+1の一方の入力になるとともに、垂直選択線74n, 74n+1を通して垂直選択トランジスタ66n, 66n+1のゲートに与えられる。

【0059】シャッターパルス $\phi S_n$ ,  $\phi S_{n+1}$ は、行ごとにORゲート73n, 73n+1の他方の入力となる。ORゲート71n, 71n+1の各出力は、垂直／シャッター選択線63n, 63n+1を通して各画素における読み出し選択トランジスタ54のゲートに与えられる。

【0060】垂直信号線65の出力端側には、I-V変換回路75と差分回路としての例えばCDS回路76とが設けられている。I-V変換回路75は、垂直信号線65を通して信号電流として供給される画素信号を信号電圧に変換してCDS回路76に供給する。CDS回路76は、タイミングジェネレータ70から与えられるサ

ンプリングパルスに基づいて、画素リセット直後のノイズレベルと信号レベルとの差分をとる処理を行う。また、CDS回路76の後段には、必要に応じてAGC回路やADC回路等を設けることも可能である。

【0061】次に、上記構成の第2実施形態に係る固体撮像素子の動作について、図8および図9のタイミングチャートを用いて説明する。なお、図8は電子シャッター非動作時のタイミングチャート、図9は電子シャッター動作時のタイミングチャートである。

10 【0062】まず、電子シャッター非動作時のm列n行目の画素に着目すると、垂直走査回路68の垂直走査により、当該走査回路68から垂直走査パルス $\phi V_n$ が出力され、n行目の垂直選択トランジスタ66nのゲートに印加されるとともに、ORゲート73nを通してn行目の垂直／シャッター選択線63nに印加される。これにより、n行目が読み出し行として選択された状態となる。

【0063】n行目が選択された状態において、水平走査回路67の水平走査により、当該走査回路67から水平走査パルス $\phi H_{m-1}$ が出力されると、この水平走査パルス $\phi H_{m-1}$ はORゲート71m-1を通してm-1列目の水平選択／読み出し／リセット線64m-1に印加される。すると、隣接するm列目の画素のリセットトランジスタ56がオン状態となり、m列目の画素の浮遊拡散領域FDがリセットトランジスタ56を通して電源VDDにリセットされる。このとき、m-1列目の水平走査パルス $\phi H_{m-1}$ は、隣接するm列目のリセットパルスとして機能する。

30 【0064】なお、水平走査パルス $\phi H_{m-1}$ の発生期間において、タイミングジェネレータ7から読み出しパルス $\phi PRD$ が出力されると、水平走査パルス $\phi H_{m-1}$ と読み出しパルス $\phi PRD$ との論理積がANDゲート72mでとられ、m列目の水平選択／読み出し／リセット線64mにパルスが立つため、画素(m, n)の出力選択トランジスタ57が一時的にオン状態となる。しかしながら、この期間では画素(m, n-1)の読み出しが行われており、後段のCDS回路76において画素(m, n-1)の画素信号についてリセットレベルのサンプリングと信号レベルのサンプリングの間であり、画素(m, n)のリセットレベルが出力されても信号処理上問題になることはない。

【0065】続いて、水平走査回路67から水平走査パルス $\phi H_m$ が出力されると、この水平走査パルス $\phi H_m$ はORゲート71mを通してm列目の水平選択／読み出し／リセット線64mに印加される。すると、画素(m, n)の出力選択トランジスタ57がオン状態となり、リセットされた画素(m, n)のリセットレベルに応じた電流が、水平信号線62nおよび垂直選択トランジスタ66nを通して垂直信号線65に出力される。

50 【0066】また、水平走査パルス $\phi H_m$ はタイミング



ジェネレータ 70 から出力される読み出しパルス  $\phi$  PRD と論理積がとられる。これにより、水平走査パルス  $\phi$  Hm の発生期間において読み出しパルス  $\phi$  PRD が出力されると、この読み出しパルス  $\phi$  PRD は AND ゲート 72m+1 を通過し、OR ゲート 71m+1 を通して m+1 列目の水平選択／読み出し／リセット線 64m に印加される。

【0067】水平選択／読み出し／リセット線 64m に印加された読み出しパルス  $\phi$  PRD はさらに、画素

(m, n) の読み出し選択トランジスタ 54 のドレイン - ソースを介して読み出しトランジスタ 53 のゲートに印加される。これにより、読み出しトランジスタ 53 がオン状態となり、フォトダイオード 52 で光電変換によって発生し、蓄積された信号電荷が読み出しトランジスタ 53 を通して浮遊拡散領域 FD に読み出される。

【0068】読み出しパルス  $\phi$  PRD が消滅すると、読み出しトランジスタ 53 がオフ状態となる。そして、浮遊拡散領域 FD に読み出された信号電荷は、その電荷量に応じて増幅トランジスタ 55 で増幅されて信号電流となり、出力選択トランジスタ 57、水平信号線 62n および垂直選択トランジスタ 66n を通して垂直信号線 65 に出力される。

【0069】この画素 (m, n) の選択時には、その水平走査パルス  $\phi$  Hm によって次の列の画素 (m+1, n) のリセットが行われる。そして、水平走査パルス  $\phi$  Hm が消滅し、水平走査パルス  $\phi$  Hm+1 が水平走査回路 67 から出力されることで、次の列の画素 (m+1, n) が選択状態となる。

【0070】上述した一連の動作の繰り返しにより、n 行目の 1 ライン分の単位画素 51 のリセットレベルと信号レベルが同一の経路（水平信号線 62n や垂直選択トランジスタ 66n など）を通して点順次に垂直信号線 65 上に読み出される。これらはさらに、I-V 変換回路 75 で電流から電圧に変換された後 CDS 回路 76 に送られ、相関二重サンプリングによるノイズキャンセルが行われる。

【0071】続いて、電子シャッター動作時について、n 行目の各画素を電子シャッター画素行とし、n-i 行目の各画素を選択画素行（信号読み出し画像行）とした場合を例にとって、図 9 のタイミングチャートを用いて説明する。このときの蓄積時間は  $1H \times i$  となる。

【0072】垂直シャッター走査回路 69 の走査により、シャッターパルス  $\phi$  Sn が出力され、OR ゲート 73n を通して n 行目の垂直／シャッター選択線 63n に印加される。その際、n 行目の垂直選択線 74n にはパルスは立たない。このとき、垂直走査回路 68 からは垂直走査パルス  $\phi$  Vn-i が出力され、n-i 行目の垂直選択トランジスタ 66n-i のゲートに印加される。

【0073】この状態において、水平走査回路 67 の水平走査により、当該走査回路 67 から水平走査パルス  $\phi$

Hm-1 が出力されると、この水平走査パルス  $\phi$  Hm-1 は OR ゲート 71m-1 を通して m-1 列目の水平選択／読み出し／リセット線 64m-1 に印加される。すると、m 列目の画素の各リセットトランジスタ 56 がオン状態となり、各浮遊拡散領域 FD がリセットトランジスタ 56 を通して電源 VDD にリセットされる。

【0074】続いて、水平走査回路 67 から水平走査パルス  $\phi$  Hm が出力されると、この水平走査パルス  $\phi$  Hm は OR ゲート 71m を通して m 列目の水平選択／読み出し／リセット線 64m に印加される。すると、m 列目の出力選択トランジスタ 57 がオン状態となり、リセットされた画素 (m, n-i) のリセットレベルに応じた電流が、水平信号線 62n-i および垂直選択トランジスタ 66n-i を通して垂直信号線 65 に出力される。

【0075】その際、画素 (m, n) については、n 行目の垂直選択トランジスタ 66n がオフ状態にあるため、リセットレベルに応じた電流が垂直信号線 65 に出力されることはない。

【0076】また、水平走査パルス  $\phi$  Hm はタイミングジェネレータ 70 から出力される読み出しパルス  $\phi$  PRD と論理積がとられる。これにより、水平走査パルス  $\phi$  Hm の発生期間において読み出しパルス  $\phi$  PRD が出力されると、この読み出しパルス  $\phi$  PRD は AND ゲート 72m+1 を通過し、OR ゲート 71m+1 を通して m+1 列目の水平選択／読み出し／リセット線 64m に印加される。

【0077】水平選択／読み出し／リセット線 64m に印加された読み出しパルス  $\phi$  PRD はさらに、画素

(m, n) および画素 (m, n-i) の各読み出し選択トランジスタ 54 のドレイン - ソースを介して読み出しトランジスタ 53 のゲートに印加される。これにより、読み出しトランジスタ 53 がオン状態となり、フォトダイオード 52 で光電変換によって発生し、蓄積された信号電荷が読み出しトランジスタ 53 を通して浮遊拡散領域 FD に読み出される。

【0078】読み出しパルス  $\phi$  PRD が消滅すると、画素 (m, n) および画素 (m, n-i) の各読み出しトランジスタ 53 がオフ状態となる。そして、画素 (m, n-i) の浮遊拡散領域 FD に読み出された信号電荷は、その電荷量に応じて増幅トランジスタ 55 で増幅されて信号電流となり、出力選択トランジスタ 57、水平信号線 62n-i および垂直選択トランジスタ 66n-i を通して垂直信号線 65 に出力される。

【0079】その際、画素 (m, n) については、n 行目の垂直選択トランジスタ 66n がオフ状態にあるため、信号電荷の電荷量に応じた電流が垂直信号線 65 に出力されることはない。また、画素 (m, n) のフォトダイオード 52 に蓄積された信号電荷は浮遊拡散領域 FD に送られることでフォトダイオード 52 が空となり、新たに蓄積が開始される。

【0080】この画素 ( $m, n-i$ ) の選択時には、その水平走査パルス  $\phi H_m$  によって次の列の画素 ( $m+1, n-i$ ) のリセットが行われる。また、水平走査パルス  $\phi H_m$  が消滅し、水平走査パルス  $\phi H_{m+1}$  が水平走査回路 67 から出力されることで、次の列の画素 ( $m+1, n-i$ ) が選択状態となる。そして、画素 ( $m, n-i$ ) の選択後、( $1H \times i$ ) の時間が経過した時点で画素 ( $m, n$ ) が選択される。

【0081】この電子シャッター動作時にも、非動作時と同様に、 $n-i$  行目の 1 ライン分の単位画素 51 のリセットレベルと信号レベルが同一の経路を通して点順次に垂直信号線 65 上に読み出される。そして、I-V 変換回路 75 で電流から電圧に変換された後 CDS 回路 76 に送られ、相関二重サンプリングによるノイズキャンセルが行われる。

【0082】上述したように、第 2 実施形態では、5 トランジスタ構成の単位画素 51 を行列状に配置してなる X-Y アドレス型撮像素子において、行単位で各画素 51 の浮遊拡散領域 FD をリセットしてそのリセットレベルを、次いでフォトダイオード 52 の信号電荷に基づく信号レベルを読み出して同一経路を経由して点順次に出力するようにしたことで、後段の CDS 回路 76 でリセットレベルと信号レベルとの差分をとることができる。これにより、単位画素 51 ごとの特性バラツキに起因する固定パターンノイズおよびリセット時に発生するリセットノイズ ( $kTC$  ノイズ) を抑制することができる。

【0083】また、例えば  $m-1$  列の水平走査 (選択) パルス  $\phi H_{m-1}$  を、 $m$  列目 (隣接画素) のリセットパルスとして兼用するようにしたことにより、専用のリセット線を設ける必要がないため、画素部 61 への配線の本数を減らすことができる。しかも、1 本の水平選択/読み出し/リセット線 64m に対して  $m$  列の出力選択トランジスタ 57 と  $m+1$  列のリセットトランジスタ 56 各ゲートおよび  $m-1$  列の読み出し選択トランジスタ 54 のドレイン/ソースを接続する構成を採ったことにより、3 個のトランジスタの 3 つのノードに対してコンタクトが 1 個で済むため面積的にも有利である。さらに、第 1 実施形態の場合と同様の理由によって、電子シャッター動作時にクロストークが発生することもない。

【0084】なお、本実施形態では、単位画素 51 の構成において、増幅トランジスタ 55 のドレインを電源 VDD に接続し、ソースを出力選択トランジスタ 57 を介して水平信号線 62n+1 に接続する構成としたが、図 10 に示すように、増幅トランジスタ 55 のドレインを水平信号線 62n+1 に接続し、ソースを出力選択トランジスタ 77 を介して GND に接続する構成も、I-V 変換回路 75 の構成次第で可能となる。

【0085】

【発明の効果】以上説明したように、本発明によれば、5 トランジスタ構成の単位画素が行列状に配置され、こ

れら単位画素に対して行単位で複数行分の水平信号線が配線されるとともに、これら水平信号線に対して単一の垂直信号線が共通に配線された構成の固体撮像素子において、先ずリセットトランジスタによって蓄積部をリセットし、そのリセットレベルを増幅トランジスタを通して水平信号線に出力し、続いて光電変換素子の信号電荷を蓄積部に読み出し、その信号電荷に基づく信号レベルを増幅トランジスタを通して水平信号線に出力することにより、リセットレベルと信号レベルとを同一経路を経由して点順次に出力できるため、出力回路部でリセットレベルと信号レベルとの差分をとることによって単位画素ごとの特性バラツキに起因する固定パターンノイズおよびリセット時に発生するリセットノイズを、デバイス外部にフレームメモリを用いたノイズ除去回路を設けなくても内部で抑制することができる。これにより、当該固体撮像素子を撮像デバイスとして用いるカメラシステムの規模の縮小化に寄与できることになる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態に係る固体撮像素子を示す概略構成図である。

【図 2】第 1 実施形態に係る固体撮像素子における電子シャッター非動作時のタイミングチャートである。

【図 3】第 1 実施形態に係る固体撮像素子における電子シャッター動作時のタイミングチャートである。

【図 4】電子シャッター動作と露光時間の関係を示すタイミングチャートである。

【図 5】電子シャッター走査の模式図である。

【図 6】第 1 実施形態の変形例に係る画素構成を示す回路図である。

【図 7】本発明の第 2 実施形態に係る固体撮像素子を示す概略構成図である。

【図 8】第 2 実施形態に係る固体撮像素子における電子シャッター非動作時のタイミングチャートである。

【図 9】第 2 実施形態に係る固体撮像素子における電子シャッター動作時のタイミングチャートである。

【図 10】第 2 実施形態の変形例に係る画素構成を示す回路図である。

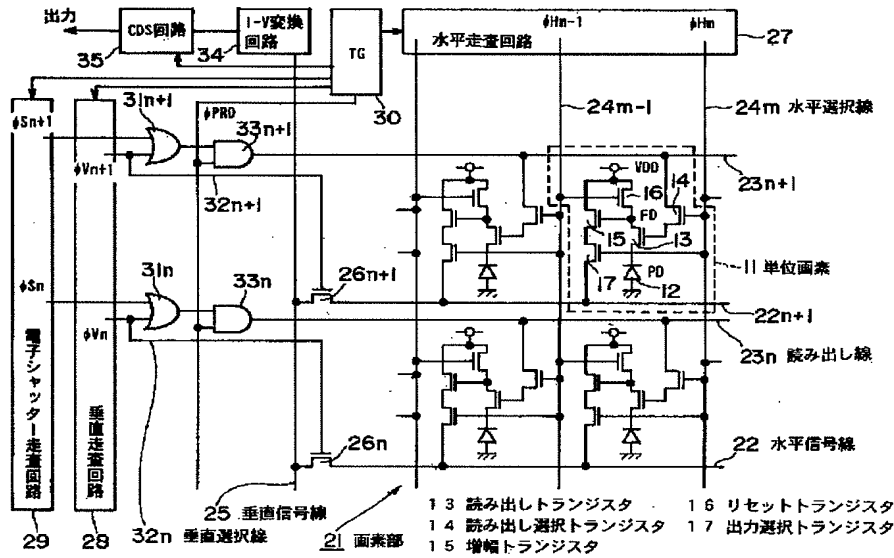
【図 11】従来例を示す概略構成図である。

【符号の説明】

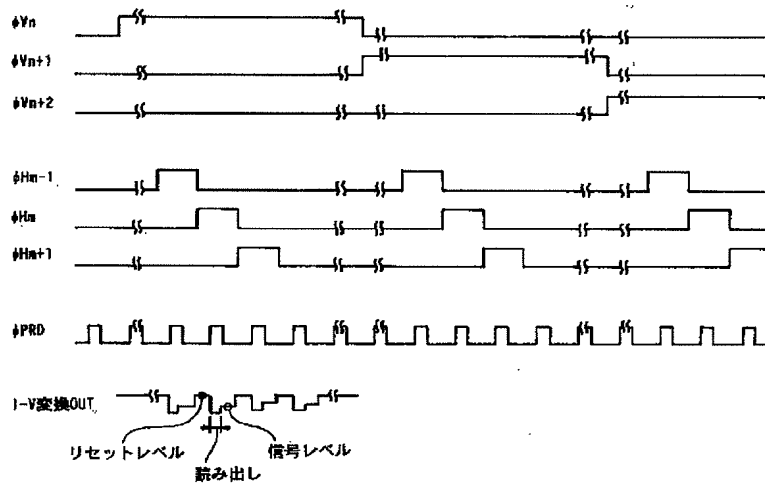
11, 51…単位画素、12, 52…フォトダイオード (PD)、13, 53…読み出しトランジスタ、14, 54…読み出し選択トランジスタ、15, 55…増幅トランジスタ、16, 56…リセットトランジスタ、17, 57…出力選択トランジスタ、21, 61…画素部、22n, 22n+1, 62n, 62n+1…水平信号線、25, 65…垂直信号線、26n, 26n+1, 66n, 66n+1…垂直選択トランジスタ、27, 67…水平走査回路、28, 68…垂直走査回路、29, 69…電子シャッター走査回路、30, 70…タイミングジェネレータ、35, 76…CDS (相関二重サン

リング) 回路

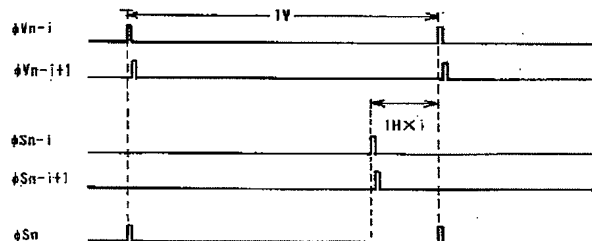
【図1】



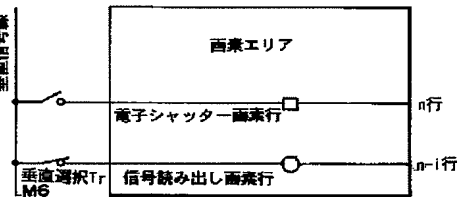
【図2】



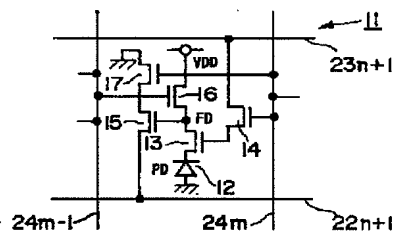
【図4】



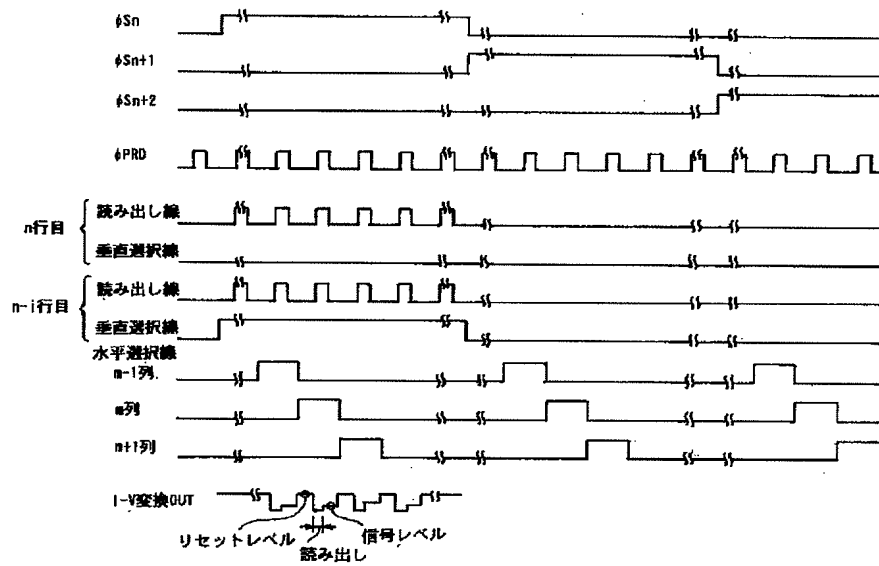
【図5】



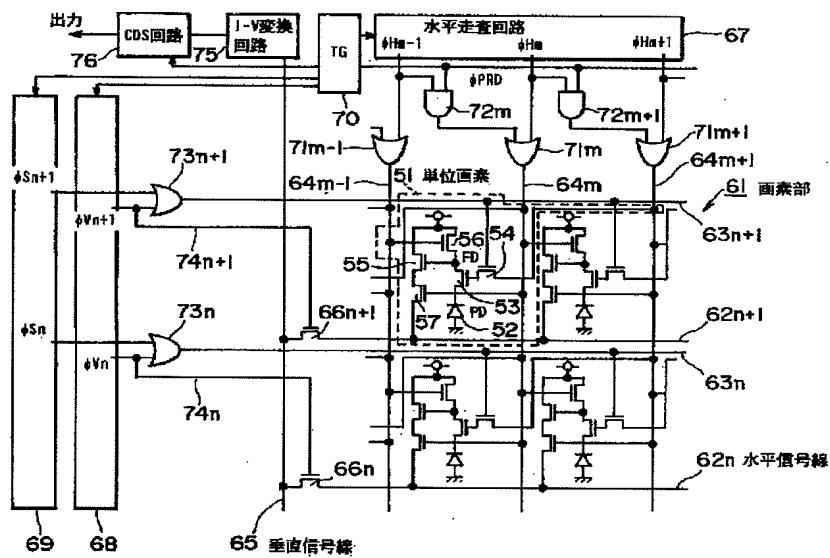
【図6】



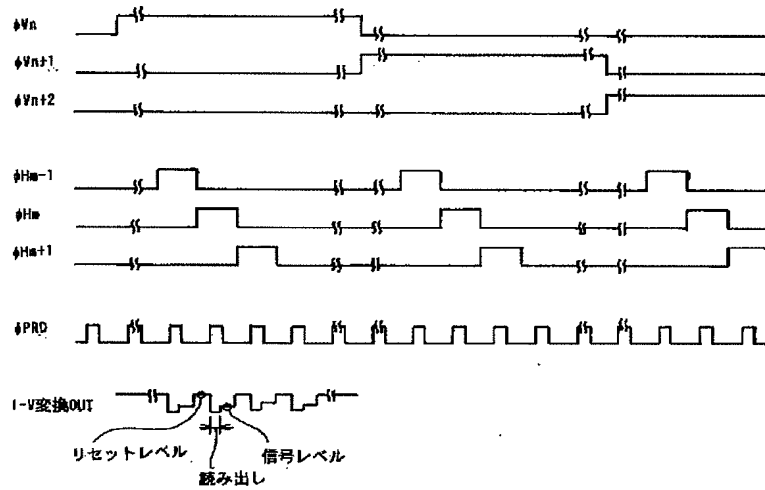
【図 3】



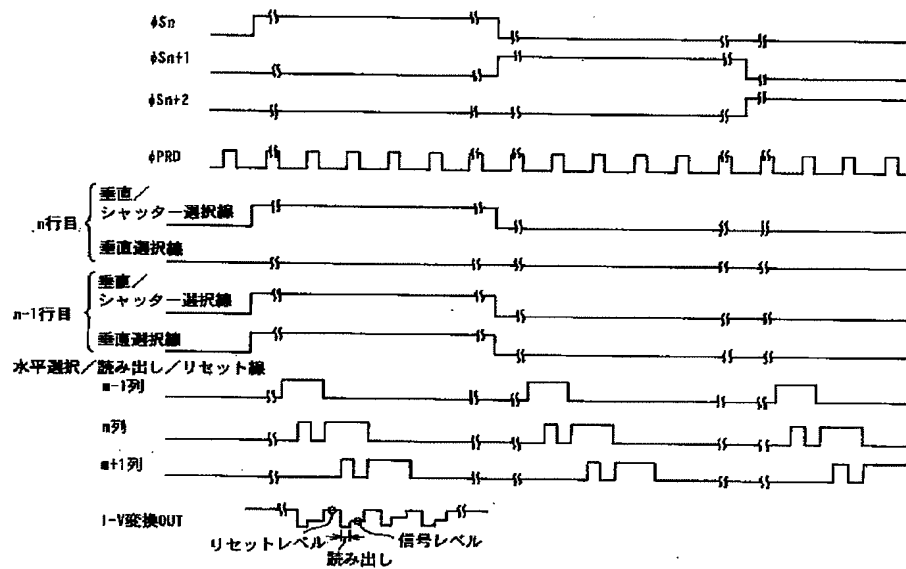
【図 7】



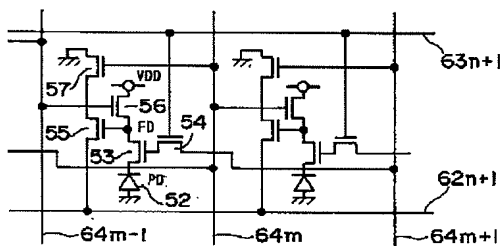
【図8】



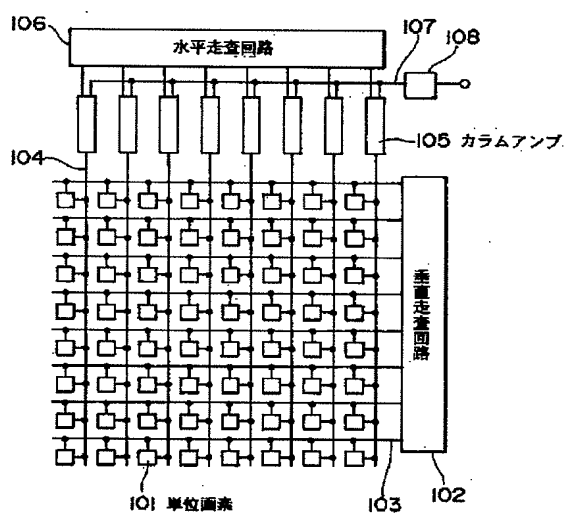
【図9】



【図10】



【図 11】



フロントページの続き

(72)発明者 塩野 浩一  
東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

(72)発明者 米本 和也  
東京都品川区北品川 6 丁目 7 番 35 号 ソニ  
ー株式会社内

F ターム(参考) 5C024 AA01 CA06 CA17 FA01 GA01  
GA31 GA41 HA07 HA10 HA18  
JA04